

## METHOD FOR POLISHING BACK OF SEMICONDUCTOR WAFER

Publication number: JP2003051473

Publication date: 2003-02-21

Inventor: ARAI KAZUNAO

Applicant: DISCO ABRASIVE SYSTEMS LTD

Classification:

- international: H01L21/304; B24B1/00; B24B7/22; B24B41/06;  
H01L21/02; B24B1/00; B24B7/20; B24B41/06; (IPC1-  
7): H01L21/304


- european: B24B1/00; B24B7/22E; B24B41/06B

Application number: JP20010236763 20010803

Priority number(s): JP20010236763 20010803

Also published as:

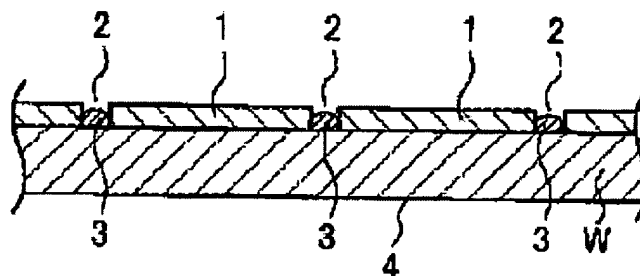
 US6702652 (B2)

 US2003027501 (A1)

[Report a data error here](#)

### Abstract of JP2003051473

**PROBLEM TO BE SOLVED:** To economically and surely prevent cracks in a semiconductor wafer, when polishing the rear face of a semiconductor wafer where bumps are formed on the surface. **SOLUTION:** A resist film 1 is applied onto the surface of a semiconductor wafer W where a plurality of circuits are formed, the resist film 1 at a region, where a plurality of bumps 3 is to be formed corresponding to the circuits is exposed and removed for forming a plurality of pores 2, plating is applied in the pores 2 for forming the plurality of bumps 3, and then the rear face of the semiconductor wafer W is polished, without removing the resist film 1 applied on the surface, while the surface where the resist film 1 is applied is made to face a chuck table and retained.



---

Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-51473

(P2003-51473A)

(43) 公開日 平成15年2月21日 (2003.2.21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード* (参考)
H 0 1 L 21/304	6 3 1	H 0 1 L 21/304	6 3 1
	6 2 2		6 2 2 J

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願2001-236763(P2001-236763)

(22) 出願日 平成13年8月3日 (2001.8.3)

(71) 出願人 000134051

株式会社ディスコ

東京都大田区東糀谷 2 丁目14番 3 号

(72) 発明者 荒井 一尚

東京都大田区東糀谷 2 -14- 3 株式会社

ディスコ内

(74) 代理人 100063174

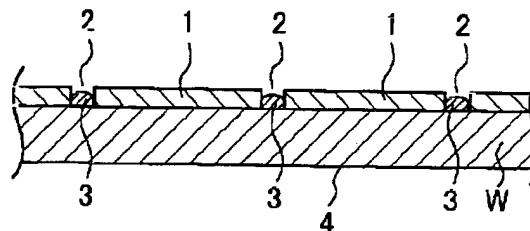
弁理士 佐々木 功 (外 1 名)

(54) 【発明の名称】 半導体ウェーハの裏面研削方法

(57) 【要約】

【課題】 表面にバンプが形成された半導体ウェーハの裏面を研削する場合において、経済的かつ確実に半導体ウェーハの割れを防止する。

【解決手段】 複数の回路が形成された半導体ウェーハ W の表面にレジスト膜 1 を塗布し、回路に対応して複数のバンプ 3 を形成すべき領域のレジスト膜 1 を露光除去して複数の細孔 2 を形成し、細孔 2 内にメッキを施して複数のバンプ 3 を形成した後、表面に塗布されたレジスト膜 1 を除去することなく、レジスト膜 1 が塗布された面をチャックテーブルに対面させて保持した状態で、半導体ウェーハ W の裏面を研削する。



## 【特許請求の範囲】

【請求項1】 複数の回路が格子状に形成された半導体ウェーハの表面にレジスト膜を塗布し、該回路に対応して複数のバンパを形成すべき領域のレジスト膜を露光除去して複数の細孔を形成し、該細孔内にメッキを施して複数のバンパを形成した後、該表面に塗布されたレジスト膜を除去することなく、該レジスト膜が塗布された面をチャックテーブルに対面させて保持した状態で、該半導体ウェーハの裏面を研削する半導体ウェーハの裏面研削方法。

【請求項2】 レジスト膜の表面に保護テープを貼着し、該保護テープが貼着された面をチャックテーブルにおいて保持した状態で、該半導体ウェーハの裏面を研削する請求項1に記載の半導体ウェーハの裏面研削方法。

【請求項3】 バンパは、レジスト膜の厚さより低く形成されている請求項1または2に記載の半導体ウェーハの裏面研削方法。

【請求項4】 バンパは、金メッキまたは半田メッキにより形成され、該バンパの直径は $50\mu\text{m}$ ～ $200\mu\text{m}$ であり、高さは $50\mu\text{m}$ から $200\mu\text{m}$ である請求項1、2または3に記載の半導体ウェーハの裏面研削方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、表面にバンパが形成された半導体ウェーハの裏面を研削する方法に関する。

## 【0002】

【従来の技術】図11に示すように、IC、LSI等の回路が複数形成された半導体ウェーハW1は、表面に回路保護用の保護テープT1を貼着し、保護テープT1を下にしてチャックテーブル50において保持し、回転する研削砥石51を裏面に接触させて押圧力を加えることにより当該裏面が研削され、所定の厚さに形成される。

【0003】また、図12に示すように、表面にバンパと呼ばれる接続端子が形成された半導体ウェーハW2の場合には、バンパ52が形成された表面に、バンパ52が埋まるほどに糊層が厚い保護テープT2を貼着したり、紫外線の照射により糊が硬化する保護テープを貼着して研削に先立ち紫外線を照射して糊を硬化させたりすることにより、研削時の押圧力によりバンパ52に生じる応力を緩和させ、応力の集中により半導体ウェーハW2に割れが生じるのを防止している。

## 【0004】

【発明が解決しようとする課題】しかしながら、いずれの場合もバンパの応力を充分に取り除くことはできず、半導体ウェーハの割れを完全に防止することができない。また、特殊なテープが必要とされるため、不経済であるという問題もある。

【0005】このように、表面にバンパが形成された半

導体ウェーハの裏面研削においては、経済的かつ確実に半導体ウェーハの割れを防止することに課題を有している。

## 【0006】

【課題を解決するための手段】上記課題を解決するための具体的手段として本発明は、複数の回路が格子状に形成された半導体ウェーハの表面にレジスト膜を塗布し、回路に対応して複数のバンパを形成すべき領域のレジスト膜を露光除去して複数の細孔を形成し、細孔内にメッキを施して複数のバンパを形成した後、表面に塗布されたレジスト膜を除去することなく、レジスト膜が塗布された面をチャックテーブルに対面させて保持した状態で、半導体ウェーハの裏面を研削する半導体ウェーハの裏面研削方法を提供する。

【0007】そしてこの半導体ウェーハの裏面研削方法は、レジスト膜の表面に保護テープを貼着し、保護テープが貼着された面をチャックテーブルにおいて保持した状態で半導体ウェーハの裏面を研削すること、バンパは、レジスト膜の厚さより低く形成されていること、バンパは、金メッキまたは半田メッキにより形成され、バンパの直径は $50\mu\text{m}$ ～ $200\mu\text{m}$ であり、高さは $50\mu\text{m}$ から $200\mu\text{m}$ であることを付加的な要件とする。

【0008】このように構成される半導体ウェーハの裏面研削方法によれば、バンパの形成前に半導体ウェーハの表面に塗布したレジスト膜を除去することなく裏面を研削するように構成したため、研削の際にバンパに応力が集中することがなく、バンパの影響を受けずに研削を行うことができる。

【0009】また、レジスト膜自体が保護テープと同様の機能を果たすため、保護テープを貼着せずに、チャックテーブルにおいてレジスト膜の面を直接保持して研削を行うことができる。

## 【0010】

【発明の実施の形態】本発明の実施の形態について図1～図10を参照して説明する。図1に示す半導体ウェーハWの表面には、所定間隔を置いて格子状に配列された複数の直線状領域であるストリートSが存在し、ストリートSによって区画された多数の矩形領域Cには回路パターンが施されている。

【0011】まず、スピンコート等を用いて、図2に示すように半導体ウェーハWの表面にレジスト膜1を塗布する。このレジスト膜1は、後に形成されるバンパの高さより厚く形成しておく。

【0012】次に、例えばステッパを用いて露光、現像によりバンパを形成すべき位置のレジスト膜を除去し、形成するバンパの数だけ図3に示すような細孔2を形成する。この細孔2の直径は、後に形成されるバンパの直径と等しくなるようにする。

【0013】そして、形成された細孔2の内部にメッキを施して、図4に示すようにバンパ3を形成する。この

バンパ3は、金メッキまたは半田メッキにより形成され、例えば、直径は $50\mu\text{m}$ ～ $200\mu\text{m}$ 、高さは $50\mu\text{m}$ ～ $200\mu\text{m}$ である。図5は、すべての細孔2にバンパ3が形成された状態を示している。

【0014】次に、レジスト膜1を除去することなく、裏面4の研削を行う。バンパ3はレジスト膜1から突出せず、細孔2の中に埋まった状態となっているため、裏面4の研削に際しては、図6に示すように、バンパが形成された表面に保護テープTを貼着してもよいし、保護テープを貼着せず、図4及び図5に示した状態のままで研削を行ってもよい。

【0015】保護テープTを貼着する場合であっても、この保護テープTは、糊層が厚い特殊なタイプである必要はなく、バンパが形成されていない半導体ウェーハの裏面研削に用いる通常のテープを使用することができる。以下においては、表面に保護テープを貼着せずに半導体ウェーハWの裏面を研削する場合について説明する。

【0016】半導体ウェーハWの裏面の研削には、例えば図7に示す研削装置10を用いる。この研削装置10において、研削の対象となる半導体ウェーハWは、図4及び図5に示した状態でカセット11に複数収容される。

【0017】そして、搬入手段12によって取り出されて表裏を反転して位置合わせ手段13に載置され、ここで一定の位置に位置合わせされた後、第一の搬送手段14によってチャックテーブル15に搬送され、裏面4を上にして図8のように保持される。

【0018】図7を参照して説明を続けると、チャックテーブル15、16、17は、ターンテーブル18によって回転可能に支持されており、半導体ウェーハWを保持したチャックテーブル15は、ターンテーブル18が左回りに所定角度（図7の例では $120^\circ$ ）回転することにより、粗研削手段20の直下に位置付けられる。

【0019】粗研削手段20は、壁部21に垂直方向に配設された一对のガイドレール22にガイドされて駆動源23の駆動により上下動する支持部24に支持され、支持部24の上下動に伴って上下動する構成となっている。この粗研削手段20においては、回転可能に支持されたスピンドル25の先端にマウンタ26を介して研削ホイール27が装着されている。研削ホイール27は、図9に示すように、ホイール基台28の下部に粗研削用の研削砥石29が円環状に固着された構成となっている。

【0020】粗研削手段20の直下に位置付けられた半導体ウェーハWの裏面4は、粗研削手段20がスピンドル25の回転を伴って下方に研削送りされ、回転する研削砥石29が裏面に接触することにより粗研削される。

【0021】次に、ターンテーブル18が左回りに同じだけ回転することにより、粗研削された半導体ウェーハ

Wが仕上げ研削手段30の直下に位置付けられる。

【0022】仕上げ研削手段30は、壁部21に垂直方向に配設された一对のガイドレール31にガイドされて駆動源32の駆動により上下動する支持部33に支持され、支持部33の上下動に伴って上下動する構成となっている。この仕上げ研削手段30においては、回転可能に支持されたスピンドル34の先端にマウンタ35を介して研削ホイール36が装着されている。この研削ホイール36は、図9に示すように、ホイール基台37の下部に仕上げ研削用の研削砥石38が円環状に固着された構成となっており、粗研削手段20とは、研削砥石の種類のみが異なる構成となっている。

【0023】仕上げ研削手段30の直下に位置付けられた半導体ウェーハWの裏面4は、仕上げ研削手段30がスピンドル34の回転を伴って下方に研削送りされ、回転する研削砥石38が裏面に接触することにより仕上げ研削される。

【0024】このようにして裏面が仕上げ研削された半導体ウェーハWは、第二の搬送手段40によって洗浄手段41に搬送され、ここで洗浄により研削屑が除去された後、搬入手段12によってカセット42に収容される。

【0025】以上のようにして、研削装置10においては、カセット11に収容されていたすべての半導体ウェーハを取り出して粗研削及び仕上げ研削を行い、研削後のすべての半導体ウェーハがカセット42に収容される。

【0026】以上のように、粗研削及び仕上げ研削は、レジスト膜を除去しない状態、即ちバンパ3が細孔2の中に埋まった状態で行われるため、応力がバンパに集中することがなく、応力は一面に均一に発生する。従って、バンパの影響を受けずに研削することができるため、半導体ウェーハWに割れを生じさせることなく確実に研削を行うことができる。

【0027】また、従来のように、糊層が厚い保護テープや紫外線硬化型の保護テープ等の特殊な保護テープを使用する必要がないため、生産性及び経済性が向上する。更に、レジスト膜自体が保護テープと同様の機能を果たすため、保護テープを貼着せずに、チャックテーブルにおいてレジスト膜の面を直接保持して研削を行うことができ、この場合は更に生産性及び経済的が向上する。

【0028】研削後の半導体ウェーハを収容したカセット42は、レジスト膜を除去する工程に搬送され、最後に、表面に形成されたレジスト膜1を除去することにより、図10に示すように、表面からバンパ3が突出した半導体ウェーハWが形成される。

【0029】

【発明の効果】以上説明したように、本発明に係る半導体ウェーハの裏面研削方法によれば、バンパの形成前に

半導体ウェーハの表面に塗布したレジスト膜を除去することなく裏面を研削するように構成したため、研削の際にバンプに応力が集中することがない。従って、バンプの影響を受けずに研削を行うことができるため、半導体ウェーハに割れが生じることがなく、特殊な保護テープも不要であるため、確実性、生産性及び経済性が向上する。

【0030】また、レジスト膜自体が保護テープと同様の機能を果たすため、保護テープを貼着せずに、チャックテーブルにおいてレジスト膜の面を直接保持して研削を行うことができ、更に生産性及び経済性が向上する。

【0031】更に、レジスト膜に保護テープを貼着した場合は、保護テープと共にレジスト膜を半導体ウェーハの表面から剥離することができる。

【図面の簡単な説明】

【図1】バンプを形成しようとする半導体ウェーハを示す斜視図である。

【図2】同半導体ウェーハの表面にレジスト膜を塗布した状態を示す正面図である。

【図3】同レジスト膜を塗布した半導体ウェーハに細孔を形成した状態を示す断面図である。

【図4】同細孔にバンプを形成した状態を示す断面図である。

【図5】同バンプを形成した半導体ウェーハを示す斜視図である。

【図6】同バンプを形成した半導体ウェーハのレジスト膜の面に保護テープを貼着した状態を示す断面図である。

【図7】同バンプを形成した半導体ウェーハの裏面の研削に用いる研削装置の一例を示す斜視図である。

【図8】同バンプを形成した半導体ウェーハを研削装置のチャックテーブルにおいて保持した状態を示す断面図である。

【図9】同研削装置の粗研削手段、仕上げ研削手段を構成する研削ホイールを示す斜視図である。

【図10】研削後にレジスト膜を除去した半導体ウェーハを示す断面図である。

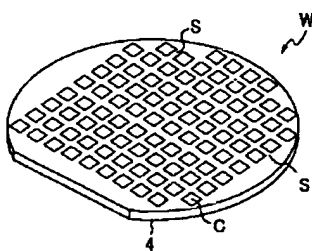
【図11】表面にバンプが形成されていない半導体ウェーハの裏面を研削する様子を示す略示的断面図である。

【図12】表面にバンプが形成されている半導体ウェーハの裏面を研削する様子を示す略示的断面図である。

【符号の説明】

1…レジスト膜 2…細孔 3…バンプ 4…裏面  
10…研削装置 11…カセット 12…搬入手段  
13…位置合わせ手段 14…第一の搬送手段  
15、16、17…チャックテーブル  
18…ターンテーブル 20…粗研削手段  
21…壁部 22…ガイドレール 23…駆動源  
24…支持部 25…スピンドル 26…マウンタ  
27…研削ホイール 28…ホイール基台  
29…研削砥石 30…仕上げ研削手段  
31…ガイドレール 32…駆動源 33…支持部  
34…スピンドル 35…マウンタ  
36…研削ホイール 37…ホイール基台  
38…研削砥石 40…第二の搬送手段  
41…洗浄手段 42…カセット  
W…半導体ウェーハ T…保護テープ S…ストリート  
50…チャックテーブル 51…研削砥石  
52…バンプ

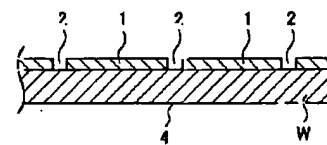
【図1】



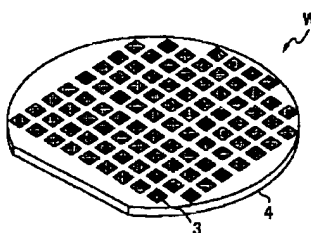
【図2】



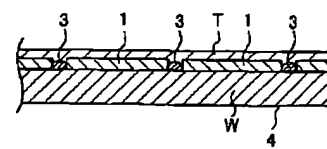
【図3】



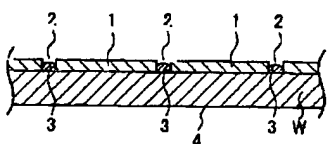
【図5】



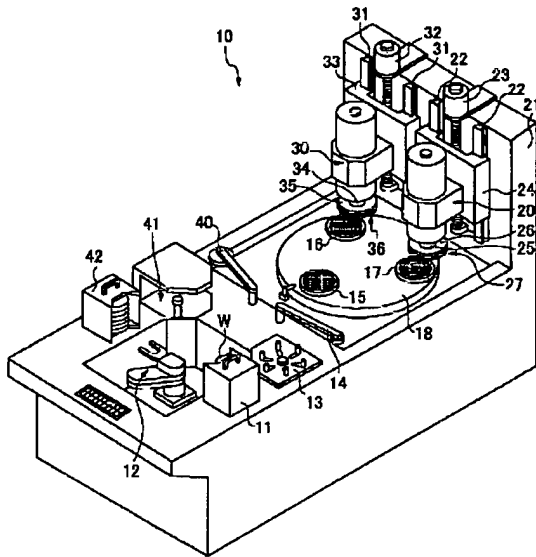
【図6】



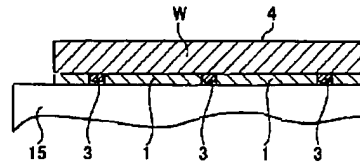
【図4】



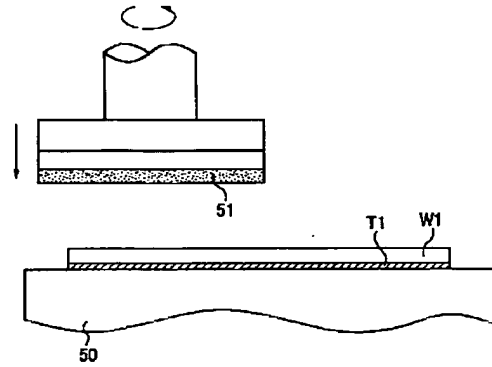
【図7】



【図8】

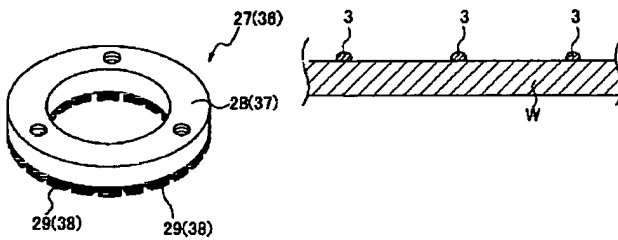


【図 1 1】



【図9】

【☒10】



【图 12】

